

CERTIFICATE OF TRANSLATION

I, SHUSAKU YAMAMOTO, patent attorney of Fifteenth Floor, Crystal Tower, 1-2-27 Shiromi, Chuo-ku, Osaka 540-6015, Japan HEREBY CERTIFY that I am acquainted with the English and Japanese languages and that the attached English translation is a true English translation of what it purports to be, a translation of Japanese Laid-open Publication No. 60-156269, entitled "Direct-current to direct-current converter", laid-opened on August 16, 1985.

Additionally, I verify under penalty of perjury under the laws of the United States of America that the foregoing is true and correct.

Executed this 11<sup>th</sup> day of June, 1998.

  
\_\_\_\_\_  
SHUSAKU YAMAMOTO

SHUSAKU YAMAMOTO

Your Ref: 02445.037

Translation of Japanese Laid-Open Publication

Laid-Open Publication Number: 60-156269

Laid-Open Publication Date: August 16, 1985

Title of the Invention: Direct-current to direct-current converter

Application Number: 59-11459

Filing Date: January 25, 1984

Inventor(s): Y. UEKI ET AL.

Applicant: Fujitsu, Ltd.

Specification

1. Title of the Invention

Direct-current to direct-current converter

2. Claim

A direct-current to direct-current converter, in which a direct current flowing in a primary coil of a transformer is switched on or off to induce a voltage in a secondary coil of the transformer; and a rectifying element, a capacitor and a choke coil are connected in series to a closed loop including the secondary coil, and furthermore a circulating element is connected to a circulation path which bypasses the secondary coil and the rectifying element so as to provide an output voltage from both of two ends of the capacitor,

the direct-current to direct-current converter being characterized in that: the rectifying element and the circulating element are both a field effect transistor; the field effect transistors are driven by voltages having opposite phases to each other which are induced by another

# SHUSAKU YAMAMOTO

Your Ref: 02445.037

secondary coil of the transformer so as to provide the conduction with directionality; and the direct-current to direct-current converter further comprises a comparator for comparing the output voltage with a constant value, and a gate voltage controlling transistor which is controlled by an output from the comparator and reduces the voltage applied between a gate and a source of each of the field effect transistors as the output voltage becomes lower than the constant value.

### 3. Detailed Description of the Invention

#### Field of the Invention:

The present invention relates to a pulse width controlled-type direct-current to direct-current (DC-DC) converter including a circuit for suppressing an increase in the output voltage when the load is light.

#### Prior Art and Problems thereof

Figure 1 shows an example of a conventional pulse width controlled-type DC-DC converter. A switching transistor Tr0 is connected in series with a primary coil N1 of a transformer T, and a DC voltage Vi is applied to the connected switching transistor Tr0 and primary coil N1. The transistor Tr0 is turned on or off in this state to cause an electric current to intermittently flow in the primary coil N1. The voltage induced to the secondary coil N2 (coil ratio of  $N1:N2=n:1$ ) at this point is rectified by a rectifying diode D1, thus providing an output current I0. A comparator CMP1 compares an output voltage V0 with a reference value E1 and applies the difference to a pulse (rectangular wave) generator PG, thereby generating a pulse P for driving a transistor Tr1. The pulse P turns the

# SHUSAKU YAMAMOTO

Your Ref: 02445.037

transistor Tr0 on or off so that the output voltage  $V_0$  is equal to the reference value  $E_1$  (the duty ratio of the pulse P changes). Letters D3 represent a diode for a fly wheel, and forms a circulation path on the primary coil side together with a coil N3. In other words, when the transistor Tr0 is turned off, the electric current in the primary coil N1 is blocked, and an overvoltage tends to be generated at this point. However, since a voltage is generated in the coil N3 and causes a current having a polarity to charge a power supply  $V_i$  via  $V_i$  and D3, the generation of the overvoltage is prevented.

The current rectified by the diode D1 becomes an output current  $I_0$  and also charges a capacitor C. The charged current and the output current  $I_0$  passing through the load flow to the coil N2 via a choke coil L. When the voltage induced in the secondary coil N2 has an opposite polarity (when the transistor Tr0 is off), the current stops flowing in the coil N2 and circulates via the diode D2 for a fly wheel instead. A choke current  $I_L$  flowing in the coil L has a triangular waveform as shown in Figure 2(b). Letters  $T_{on}$  represent a period in which the transistor Tr0 is on. The current  $I_L$  linearly increases during this period and linearly decreases during the off period  $T_{off}$ . The value of the above-mentioned load (output) current  $I_0$  is approximately equal to the average value of the current  $I_L$ .

The voltage  $V_L$  generated in the coil L has a rectangular waveform in synchronization with the pulse P as shown in Figure 2(a). The voltage  $V_L$  and the amplitude  $\Delta I_L$  of the fluctuation of the current  $I_L$  have the following

# SHUSAKU YAMAMOTO

Your Ref: 02445.037

relationship where the input voltage to the transformer T is  $V_{in}$ , the forward voltage of the diode D1 is  $V_F$ , and letters n,  $V_0$ , L and  $T_{on}$  represent the elements described above:

$$V_L = V_{in} \cdot 1/n - V_P - V_0 \dots (1)$$

$$\Delta I_L = V_L \cdot T_{on} / L \dots (2)$$

Accordingly, when the load is large so as to realize  $I_0 \geq \Delta I_L / 2$ ,  $I_L$  continuously flows, although fluctuating as shown in Figure 2(b). In contrast, when the load is small so as to realize  $I_0 < \Delta I_L / 2$ , the choke current  $I_L$  flows intermittently (a current is supplied from the capacitor C to the load while  $I_L=0$ ) as shown in Figure 2(c), and thus a problem occurs that the output voltage  $V_0$  is increased by the voltage generated in the choke coil L.

There are two conventional methods to solve the problem. According to one of the two methods, the value of  $\Delta I_L$  is reduced in order to maintain the relationship of  $I_0 \geq \Delta I_L / 2$ . However, in accordance with this method, the inductance of the coil L needs to be increased as can be appreciated from expression (2). Therefore, the outer dimension is enlarged and the production cost is increased. According to the other method, the value of  $I_0$  is kept high in order to maintain the relationship expressed by the above-described inequality. For realizing this, it is necessary to connect a dummy resistor  $R_D$  to the output terminal and send a part of a load current  $I_D$  to the dummy resistor  $R_D$ . Therefore, efficiency is lowered due to the ever-present power loss, and the reliability when the load

# SHUSAKU YAMAMOTO

Your Ref: 02445.037

is heavy is reduced due to the heat generated at various elements of the converter.

## Objective of the Invention:

The present invention has an objective of reducing the voltage  $V_L$  applied to the choke coil when the load is light so as to prevent the intermittent flow of the choke current  $I_L$  and thus to prevent an increase in the output voltage  $V_O$ .

## Structure of the Invention:

The present invention relates to a direct-current to direct-current converter, in which a direct current flowing in a primary coil of a transformer is switched on or off to induce a voltage in a secondary coil of the transformer; and a rectifying element, a capacitor and a choke coil are connected in series to a closed loop including the secondary coil, and furthermore a circulating element is connected to a circulation path which bypasses the secondary coil and the rectifying element so as to provide an output voltage from both of two ends of the capacitor,

the direct-current to direct-current converter being characterized in that: the rectifying element and the circulating element are both a field effect transistor; the field effect transistors are driven by voltages having opposite phases to each other which are induced by another secondary coil of the transformer so as to provide the conduction with directionality; and the direct-current to direct-current converter further comprises a comparator for comparing the output voltage with a constant value, and a gate voltage controlling transistor which is controlled by an output from the comparator and reduces the voltage

# SHUSAKU YAMAMOTO

Your Ref: 02445.037

applied between a gate and a source of each of the field effect transistors as the output voltage becomes lower than the constant value. Hereinafter, the present invention will be described in detail with reference to the drawings.

## Examples of the Invention:

Figure 3 is a circuit diagram illustrating an important part of an example of the present invention. In Figure 3, identical elements previously discussed with respect to Figure 1 bear identical reference numerals, except that parts corresponding to D3, N3, PG, CMP and El<sup>1</sup> in Figure 1 are omitted. This example is different from the example shown in Figure 1 in that the diodes D1 and D2 in Figure 1 are replaced with field effect transistors (FETs) Q1 and Q2, that the FETs Q1 and Q2 are switched on or off alternately by voltages (having an opposite polarity to N2) generated in coils N4 and N5 so as to provide a rectification function, and that the level (high or low) of the output voltage V0 is detected by the comparator CMP2 so as to control the conductivities of the FETs Q1 and Q2. Letters Tr1 and Tr2 represent transistors for controlling the conductivities of Q1 and Q2, and the transistors Tr1 and Tr2 are connected between gates and sources of Q1 and Q2. Letters R1 and R2 represent base resistors thereof.

In the transistors Tr1 and Tr2, collectors and emitters thereof are connected in parallel to the gates and sources of the FETs Q1 and Q2. Accordingly, when the conductivities of the transistors Tr1 and Tr2 increase, the potentials applied between the gates and sources of the FETs Q1 and Q2 decrease, resulting in reduction in the conductivities of the FETs Q1 and Q2 (the resistances

# SHUSAKU YAMAMOTO

Your Ref: 02445.037

increase). When the conductivities of the transistors Tr1 and Tr2 decrease, the converter operates in the opposite manner. When the transistors Tr1 and Tr2 are off, the FETs Q1 and Q2 perform a perfect switching operation. When the output voltage  $V_0$  is higher than a constant value  $E_2$ , the comparator CMP2 turns off both the transistors Tr1 and Tr2 so as to turn on or off the FETs Q1 and Q2 in accordance with the voltages generated in the coils N4 and N5. This operation is similar to the operation conducted in the circuit shown in Figure 1 when the load is heavy and the diodes D1 and D2 are used in lieu of Q1 and Q2.

In contrast, when the output voltage  $V_0$  is lower than the constant value  $E_2$ , the comparator CMP2 applies a voltage corresponding to the difference to bases and emitters of the transistors Tr1 and Tr2 so as to cause an analog operation of the transistors Tr1 and Tr2. As a result, the voltages applied between the gates and sources of the FETs Q1 and Q2 decrease, and thus the FETs Q1 and Q2 conduct an analog operation. However, since the FETs Q1 and Q2 are completely turned off, such an analog operation does not affect the rectification function. Since the resistance when the FETs Q1 and Q2 are turned on is higher than that during the switching operation, the voltage  $V_{DS}$  between the drain and source is higher than that during the switching operation. The voltage  $V_{DS}$  corresponds to the forward voltage  $V_F$  of the diode D1 in Figure 1. Therefore, as can be appreciated from expression (1), when the voltage  $V_{DS}$  increases, the voltage  $V_L$  generated in the choke coil L decreases and thus the amplitude  $\Delta I_L$  of the choke current  $I_L$  decreases. Accordingly, even when the current  $I_0$  is small due to the small load, the relationship of  $I_0 \geq \Delta I_L / 2$

# SHUSAKU YAMAMOTO

Your Ref: 02445.037

is easily maintained, so that an increase in the output voltage  $V_D$  can be suppressed. When the FET  $Q_1$  performs an analog operation, the load is light and the current  $I_O$  is small. Therefore, the total heat generation is small compared to the case of a conventional diode  $D_1$  which always has  $V_F$  remaining when being on. In the case where MOSFETs are used as the FETs  $Q_1$  and  $Q_2$ , the controlling range is about 5V, which is the voltage between the gate and source. In the case where bipolar transistors are used, the controlling range is reduced to only about 0.7V, which is the voltage between the base and emitter.

The FET  $Q_2$  is turned on or off oppositely to the FET  $Q_1$  and thus acts as a unidirectional element having the same polarity as that of the diode  $D_2$  in Figure 1. The conductivity of the FET  $Q_2$  is controlled by the transistor  $T_{r2}$  in order to restrict the circulating current so as to prevent  $I_L$  from becoming 0.

## Effect of the Invention

As described above, the present invention has an advantage of, in a DC-DC converter, restricting an increase in the output voltage when the load is light, without increasing the smoothing choke coil or connecting an extra dummy resistor on the load side.

## 4. Brief Description of the Drawings

Figure 1 is a circuit diagram illustrating an example of a conventional DC-DC converter, Figure 2 is an operational waveform diagram thereof, and Figure 3 is a circuit diagram illustrating an example according to the present invention.

SHUSAKU YAMAMOTO

Your Ref: 02445.037

In the figures, T is a transformer; N1 is a primary coil; Tr0 is a switching element; N2, N4 and N5 are secondary coils; Q1 is a FET for rectification; Q2 is a FET for circulation; Tr1 and Tr2 are transistors for controlling the gate voltage; C is a capacitor; L is a choke coil; and CMP2 is a comparator for detecting an output voltage.

Cはコンデンサ、しはチュークコイル、CMP<sub>1</sub>は出力電圧検出用コンバレータである。

出 品 人 マ 士 通 株 式 会 社  
代 表 人 井 理 士 青 楠 社

Fig. 1

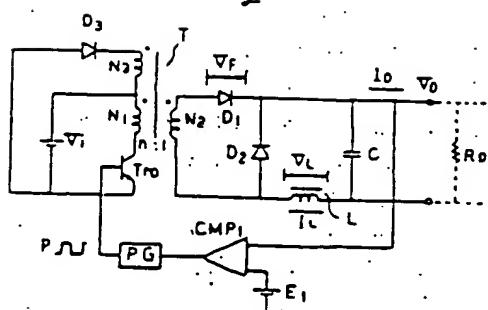


Fig. 2

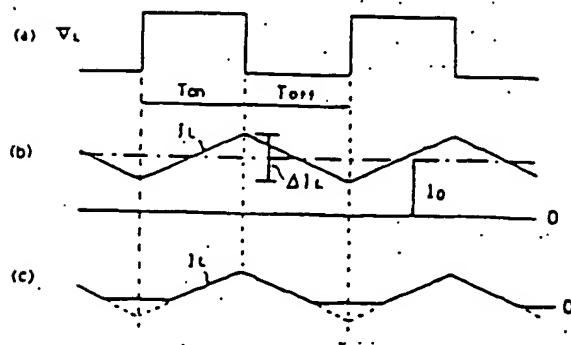
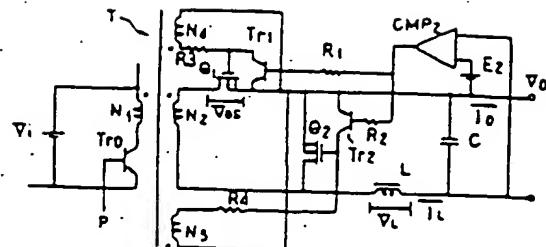


Fig. 3



## ③ 公開特許公報 (A) 昭60-156269

④ Int. Cl.  
H 02 M 3/28識別記号 勤内整理番号  
6957-5H

⑤ 公開 昭和60年(1985)8月16日

審査請求 未請求 発明の数 1 (全4頁)

⑥ 発明の名称 直流-直波コンバータ

⑦ 特許 昭59-11459

⑧ 出願 昭59(1984)1月25日

⑨ 発明者 植木 淳一 川崎市中原区上小田中1015番地 富士通株式会社内  
 ⑩ 発明者 鶯尾 敏文 川崎市中原区上小田中1015番地 富士通株式会社内  
 ⑪ 出願人 富士通株式会社 川崎市中原区上小田中1015番地  
 ⑫ 代理人 弁理士 齊藤 俊

RECEIVED  
OCT. 03. 1997  
S. YAMAMOTO

## 明細書

## 1. 発明の名称

直流-直波コンバータ

## 2. 特許請求の範囲

トランスの1次巻線に流れる直波電流をスイッティング素子でオン、オフさせることにより原トランスの2次巻線に電圧を誘起させ、さらに2次巻線を含む回ループに整流素子、コンデンサおよびチョークコイルを直列に接続すると共に、該2次巻線および整流素子を迂回する還流路に直波素子を接続して該コンデンサの両端から出力電圧を得るようにした直流-直波コンバータにおいて、整流素子および直波素子をいずれも電界効果トランジスタとし、またこれらのトランジスタを直記トランスの他の2次巻線に誘起される互いに逆位相の電圧で駆動するようにして導通方向性を持たせ、さらに前記出力電圧を一定値と比較するコンパレータと、該コンパレータの出力により制御され、前記各電界効果トランジスタのゲート、ソース間に加わる電圧を、該出力電圧が一定値

より低くなるにつれて低下させるゲート電圧制御用のトランジスタとを備えてなることを特徴とする直流-直波コンバータ。

## 3. 発明の詳細な説明

発明の技術分野  
本発明は、既負荷時の出力電圧上昇を抑止する目的を達成したパルス幅制御型直流-直波(DC-DC)コンバータに関する。

## 従来技術と問題点

図1は従来のパルス幅制御型DC-DCコンバータの一例を示す。トランスTの1次巻線N<sub>1</sub>と直列にスイッティング用のトランジスタT<sub>1</sub>を接続し、これらに直波電圧V<sub>1</sub>を印加する。そしてトランジスタT<sub>1</sub>をオン、オフして1次巻線N<sub>1</sub>に断続的に電流を流し、そのとき2次巻線N<sub>2</sub>(巻線比はN<sub>1</sub> : N<sub>2</sub> = n : 1)に誘起される電圧を整流用ダイオードD<sub>1</sub>で整流して出力電圧V<sub>2</sub>を得る。コンバレータCMP<sub>1</sub>は出力電圧V<sub>2</sub>を基準電圧V<sub>0</sub>と比較し、その差電圧をパルス(矩形波)状態でP.C.に与えてトランジスタT<sub>1</sub>を駆

動するパルスPを発生させる。このパルスPは出力電圧V<sub>L</sub>が高準位D<sub>1</sub>に等しくなるようにトランジスタT<sub>10</sub>をオンオフする(パルスPのデータが変化する)。D<sub>1</sub>はライキール用ダイオードで、巻線N<sub>1</sub>と共に1次側の匝数比を形成する。即ち、トランジスタT<sub>10</sub>がオフになると1次巻線N<sub>1</sub>の電流は断たれ、このとき逆電圧が発生しようとするが、これは巻線N<sub>1</sub>に電圧を発生し、この電圧がV<sub>L</sub>、D<sub>1</sub>を通って電圧V<sub>L</sub>を充電する極性の電流を流し、これにより逆電圧の発生を阻止する。

ダイオードD<sub>1</sub>で整流された電流は出力電流I<sub>o</sub>になると共にコンデンサCを充電し、そしてこの充電電流及び負荷を通った出力電流I<sub>o</sub>はチークコイルLを経て巻線N<sub>2</sub>に流れれるが、2次巻線N<sub>2</sub>に誘起する電圧が逆極性のとき(トランジスタT<sub>10</sub>がオフのとき)電流は巻線N<sub>2</sub>を流れなくなり、代ってライキール用ダイオードD<sub>2</sub>を通して逆流する。コイルLに流れれるチャート電流I<sub>L</sub>は第2回ののような三角波となる。Tonは

トランジスタT<sub>10</sub>のオン期間で、この期間に電流I<sub>L</sub>は直線的に増加し、逆にオフ期間Toffに直線的に減少する。前述の負荷(出力)電流I<sub>o</sub>はV<sub>L</sub>の平均値である。

ところで、コイルLに発生する電圧V<sub>L</sub>は第2回に示す如くパルスPに同期した矩形波となり、既V<sub>L</sub>と、電流I<sub>L</sub>の変動分の振幅ΔI<sub>L</sub>は、トランジスタの入力電圧をV<sub>10</sub>、ダイオードD<sub>1</sub>の順方向電圧をV<sub>D1</sub>、V<sub>L</sub>、I<sub>L</sub>、T<sub>10</sub>は前述の通りとして、

$$V_L = V_{10} - \frac{1}{L} - V_D - V_o \quad \dots \dots (1)$$

$$\Delta I_L = \frac{V_L \cdot T_{on}}{L} \quad \dots \dots (2)$$

の関係にあるので、負荷が遅く1.5ΔI<sub>L</sub>/2であればI<sub>L</sub>は第2回のように変動はするが過渡して止まる。しかし、負荷が遅く1.5<ΔI<sub>L</sub>/2であると同回のようにチャート電流I<sub>L</sub>は振幅し(I<sub>L</sub>=0の期間はコンデンサCから負荷に電流が供給される)、このためチャートに発生する電圧で出力電圧V<sub>L</sub>が上昇する問題を生ずる。

る。

従来はこの点を解決するために2つの方法を試している。1つは1.5ΔI<sub>L</sub>/2の関係を維持するためにΔI<sub>L</sub>の値を小さくしようとする方法である。しかしながらこの方法では田口から明らかのようにコイルLのインダクタンスを増大せねばならないので、外形寸法が大きくなり、また高価になる欠点がある。他の方法は上記の不等式の関係を維持するために1.5の値を大きく保とうとするものである。このためには出力端にゲミーダイオードR<sub>6</sub>を接続してここに負荷電流I<sub>o</sub>の一部を流す必要があるので、常に電力損失があつて効率が悪く、また特に重負荷時に各部発熱により信頼性を低下させる欠点がある。

#### 発明の目的

本発明は、既負荷時にチャートコイルに加わる電圧V<sub>L</sub>を小さくすることでチャート電流I<sub>L</sub>の断続を防止し、出力電圧V<sub>L</sub>の上界を防止しようとするものである。

#### 発明の構成

本発明は、トランジストの1次巻線に流れる直流電流をスイッチング素子でオン、オフさせることにより既トランジストの2次巻線に電圧を誘起させ、さらに既2次巻線を含む閉ループに整流素子、コンデンサおよびチャートコイルを直列に接続すると共に、既2次巻線および整流素子を迂回する還流路に還流素子を使いして該コンデンサの両端から出力電圧を得るようにした直流-直流コンバータにおいて、該整流素子および調波素子をいずれも電源動員トランジスタとし、またこれらのトランジスタを周記トランジストの他の1次巻線に誘起される互いに位相の電圧で駆動するようにして導通に方向性を持たせ、さらに前記出力電圧を一定値と比較するコンバレータと、該コンバレータの出力により制御され、周記各電界効果トランジスタのゲート、ソース間に加わる電圧を、該出力電圧が一定値より低くなるにつれて低下させるゲート電圧制御用のトランジスタとを備えてなることを特徴とするが、以下図示の実施例を参照しながらこれを詳細に説明する。

## 発明の実施例

第3図は本発明の一実施例を示す回路基板図で、第1図と同一部分には同一符号が付してある。但し、第1図の D<sub>1</sub>, N<sub>1</sub>, P<sub>C</sub>, C<sub>M</sub>P, E<sub>1</sub> に相当する部分は省略してある。本例が第1図と異なる主な点は、第1図のダイオード D<sub>1</sub>, D<sub>2</sub> を電界効果トランジスタ(FET) Q<sub>1</sub>, Q<sub>2</sub> に代え、そのオン、オフ期間を毛線 N<sub>1</sub>, N<sub>2</sub> に発生する電圧(極性が N<sub>1</sub> とは逆)で交互に切換えて整流作用をもたせると共に、コンバレータ C<sub>M</sub>P, で出力電圧 V<sub>O</sub> の高、低を検出して FET Q<sub>1</sub>, Q<sub>2</sub> の導通度を調節するようにした点にある。

T<sub>R1</sub>, T<sub>R2</sub> は駆動 Q<sub>1</sub>, Q<sub>2</sub> の導通度制御用のトランジスタで Q<sub>1</sub>, Q<sub>2</sub> のゲート、ソース間に接続され、R<sub>1</sub>, R<sub>2</sub> はそれらのベース抵抗である。

トランジスタ T<sub>R1</sub>, T<sub>R2</sub> はそのコレクタ、エミッタ間に FET Q<sub>1</sub>, Q<sub>2</sub> のゲート、ソース間に並列接続したものであるから、トランジスタ T<sub>R1</sub>, T<sub>R2</sub> の導通度が増せば FET Q<sub>1</sub>,

Q<sub>2</sub> のゲート、ソース間に印加される電圧が低下し、駆動 FET Q<sub>1</sub>, Q<sub>2</sub> の導通度が低下する(抵抗値が増す)。トランジスタ T<sub>R1</sub>, T<sub>R2</sub> の導通度が減少すれば逆の関係になり、トランジスタ T<sub>R1</sub>, T<sub>R2</sub> がオフであれば FET Q<sub>1</sub>, Q<sub>2</sub> は完全なスイッチング動作をする。コンバレータ C<sub>M</sub>P は出力電圧 V<sub>O</sub> が一定値 E<sub>1</sub> より高ければトランジスタ T<sub>R1</sub>, T<sub>R2</sub> を共にオフにして FET Q<sub>1</sub>, Q<sub>2</sub> を毛線 N<sub>1</sub>, N<sub>2</sub> に発生する電圧でい交互にオン、オフ動作させる。これは負荷が重い場合で、Q<sub>1</sub>, Q<sub>2</sub> をダイオード D<sub>1</sub>, D<sub>2</sub> とした第1図の回路と同様である。

これに対し出力電圧 V<sub>O</sub> が一定値 E<sub>1</sub> より低いと、コンバレータ C<sub>M</sub>P はその差に応じた電圧をトランジスタ T<sub>R1</sub>, T<sub>R2</sub> のベース、エミッタ間に印加してこれらのトランジスタをアナログ動作させる。この結果、FET Q<sub>1</sub>, Q<sub>2</sub> のゲート、ソース間に印加される電圧は低下するので、FET Q<sub>1</sub>, Q<sub>2</sub> もアナログ動作する。但し、これらの FET Q<sub>1</sub>, Q<sub>2</sub> のオフは完全に行な

われる所以整流作用には支障がない。ただ、オン時の抵抗値がスイッチング動作時より高くなるので、その分ドレンイン、ソース間電圧 V<sub>DSS</sub> はスイッチング動作時より高くなる。この電圧 V<sub>DSS</sub> は第1図のダイオード D<sub>1</sub> の順方向電圧 V<sub>F</sub> に相当するので、これが高くなるということは旧式から明らかのようにチークコイル L<sub>1</sub> に発生する電圧 V<sub>L</sub> を低くし、近いではそのチーク電流 I<sub>L</sub> の電圧 ΔV<sub>L</sub> を減少させる。このため、絶負荷で電流 I<sub>L</sub> が小なる場合でも I<sub>L</sub> × ΔV<sub>L</sub> / 2 の關係を維持しやすく、出力電圧 V<sub>O</sub> の上界を抑止できる。また、FET Q<sub>1</sub> をアナログ動作させるとときは絶負荷で電流 I<sub>L</sub> が小さいため、常にオン時に V<sub>DSS</sub> が発生する純粋のダイオード D<sub>1</sub> より、むしろトルクの発熱量は少ない。さらに Q<sub>1</sub>, Q<sub>2</sub> に MOS-FET を使用するとその開閉範囲はゲート、ソース間に電圧の 5 V 間度の幅にすることができるが、これをバイポーラトランジスタにするとそのベース、エミッタ間電圧の約 0.7 V にしかならず、開閉範囲が狭くなる。

FET Q<sub>1</sub> のオン、オフは FET Q<sub>1</sub> と逆になり、これにより第1図のダイオード D<sub>1</sub> と同じ極性の電流が発生する。この FET Q<sub>1</sub> に對してもトランジスタ T<sub>R2</sub> を設けてその導通度を調節しているのは過渡電流を抑制して I<sub>L</sub> が 0 になるのを防ぐためである。

## 発明の効果

以上述べたように本発明によれば、DC-DCコンバータにおいて平滑用のチークコイルを大きくせず、また負荷側に無駄なダミー抵抗を接続する必要もなく、絶負荷時の出力電圧の上界を抑止できる利点がある。

## 4. 図面の簡単な説明

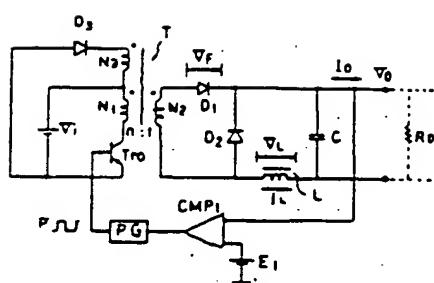
第1図は従来の DC-DCコンバータの一例を示す回路図、第2図はその動作波形図、第3図は本発明の一実施例を示す回路図である。

图中、T はトランジスト、N<sub>1</sub> は1次巻線、T<sub>R1</sub> はスイッチング整流子、N<sub>2</sub>, N<sub>3</sub>, N<sub>4</sub> は2次巻線、Q<sub>1</sub> は整流用 FET、Q<sub>2</sub> は過渡用 FET、T<sub>R1</sub>, T<sub>R2</sub> はゲート電圧制御用トランジスタ。

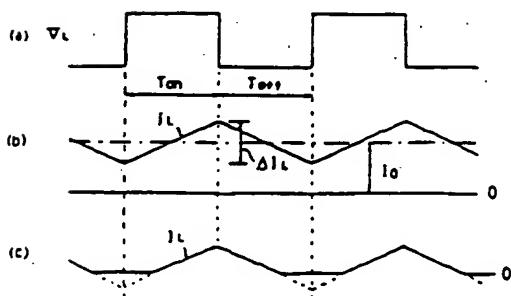
Cはコンデンサ、Lはチョークコイル、CMP<sub>1</sub>は出力電圧検出用コンバレーターである。

出 品 人 富 士 電 機 式 会 社  
代理 人 斎 田 伸 一

第1図



第2図



第3図

